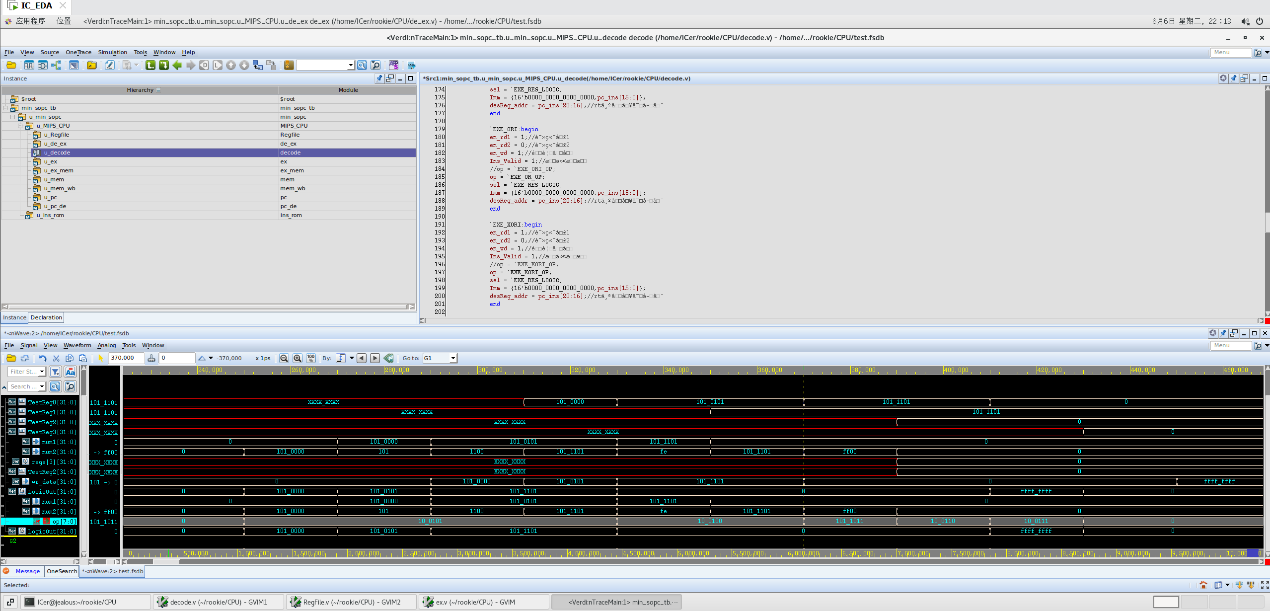
实现逻辑，移位功能时，发现寄存器值存在异常，排查译码阶段，执行阶段

原因:1.op1，op2，op3，op4顺序混乱，导致数据位宽设置错误

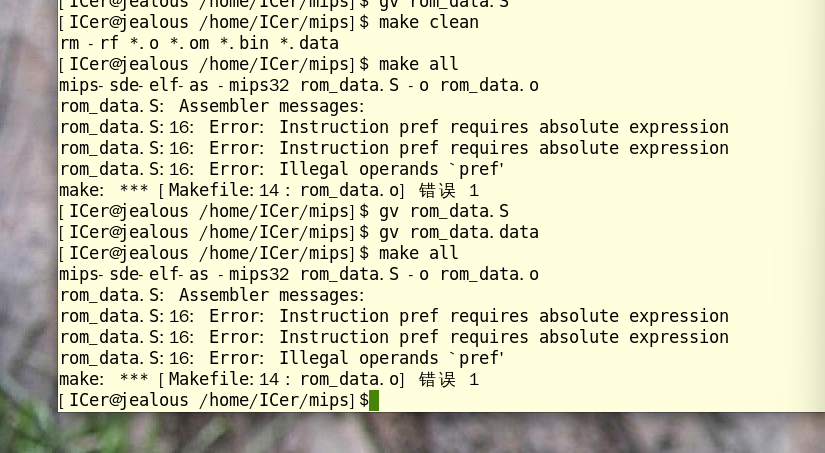
修改方法以及建议:以后设置变量时，名字更为清晰，防止产生不必要的麻烦

2.

排查到

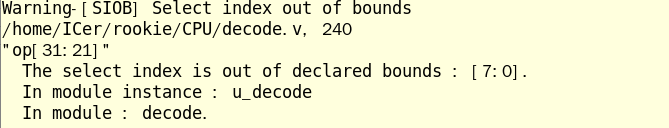


此处 op码发生错误 01011011对应XORI命令，因此错误为本来是XOR命令，修改成了XORI，后续解码错误！原因还是因为处理器不完善，按理说应该用XORI

3.

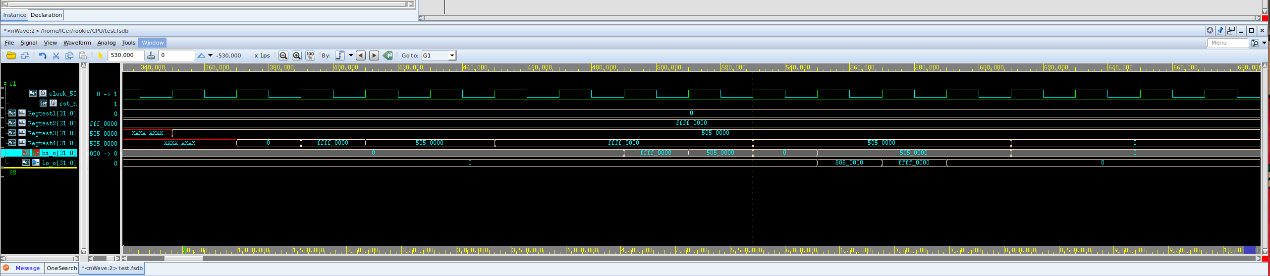
猜想没有定义pref命令，无所谓，使用手工方式写入

4.查询vcs 的warning 发现



发现是移位操作的时候case 的指令出错

实现移动指令的时候出错！



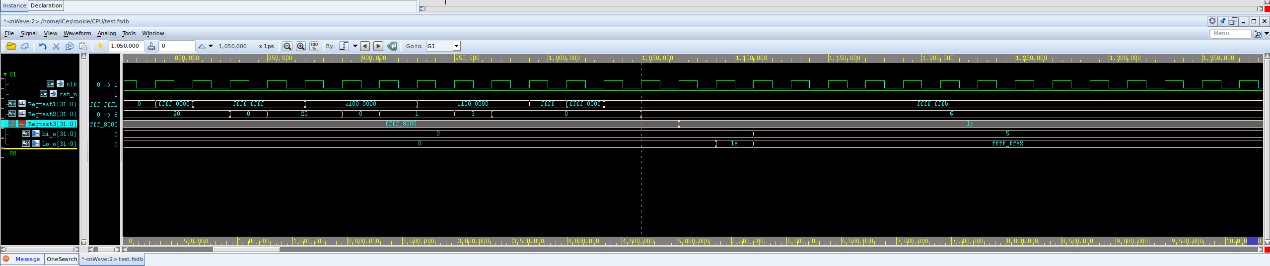
其他都对的怎么就错了那么一点

修改译码阶段的MOVN和MOVZ指令，但是问题仍未解决，MOVN和MOVZ没有确定en\_rd

继续修改

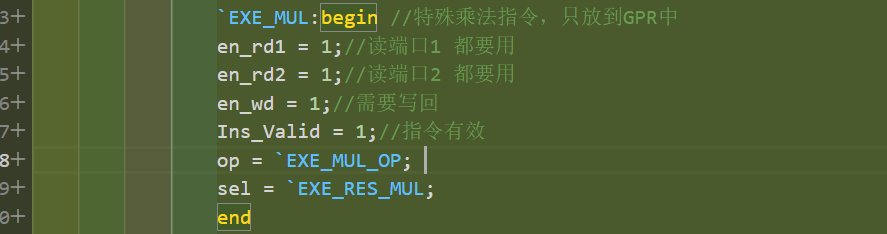
问题确定，输入的判断信号不对

在基本的算术指令实现的时候，发现MUL指令实现的有问题



因此 排查代码中的mul指令

解码过程没有问题



需要读rs和rt 默认写到rd中，不需更改

译码阶段没问题，问题定义到执行阶段 怀疑优先度出了问题，排查后发现还有问题

是因为半段一号的时候不是由修改过后的被乘数和乘数对比的，而是由从内存中中取到的num1和num2决定的

本质上还是来源于我的编程经验，verilog是并行执行的

